

EXPRESS MAIL LABEL NO. EV381146372US

PATENT  
02-CA-410/GC

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: : APPLICATIONS BRANCH  
Fabio PASOLINI et al. :  
Serial No.: (not yet assigned) :  
Filed: Herewith :  
For: *DIFFERENTIAL NON-VOLATILE* :  
*MEMORY DEVICE AND BIT READING* :  
*METHOD FOR THE SAME* :

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Under the provisions of 35 U.S.C. §119, there is filed herewith a certified copy of Italian Patent Application No. MI2003A 000384, filed March 3, 2003, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date:

3/3/04

By:



Stephen Bongini  
Reg. No. 40,917

FLEIT, KAIN, GIBBONS,  
GUTMAN, BONGINI & BIANCO P.L.  
551 NW 77th Street, Suite 111  
Boca Raton, Florida 33487  
Telephone: (561) 989-9811  
Facsimile: (561) 989-9812



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **MI2003 A 000384**



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

Inoltre disegni definitivi depositati alla Camera di Commercio di Milano n. MIR000906 il 09/04/2003 (pagg. 2).

**13 GEN. 2004**

Roma, li .....

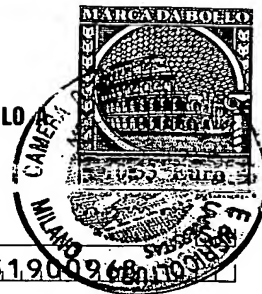
per IL DIRIGENTE  
*Paola Giuliano*  
.....  
**D.ssa Paola Giuliano**

## AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO



## A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics s.r.l.  
Residenza AGRATE BRIANZA (Milano) codice 00951900968  
2) Denominazione \_\_\_\_\_  
Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome MITTLER Enrico e altri cod. fiscale \_\_\_\_\_  
denominazione studio di appartenenza MITTLER & C. s.r.l.  
via Le Lombardia n. 20 città MILANO cap 20131 (prov) MI

C. DOMICILIO ELETTIVO destinatario vedi sopra

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

## D. TITOLO

classe proposta (sez/cl/scl) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

**"Dispositivo di memoria non volatile differenziale e metodo di lettura di bit di detto dispositivo di memoria."**

## ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

N° PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) PASOLINI Fabio 3) \_\_\_\_\_  
2) TRONCONI Michele 4) \_\_\_\_\_

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

1) \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
2) \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

## SCIOGLIMENTO RISERVE

Data

N° Protocollo

\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione \_\_\_\_\_

## H. ANNOTAZIONI SPECIALI



## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 13 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) .....  
Doc. 2) 2 PROV n. tav. 02 disegno (obbligatorio se citato in descrizione, 1 esemplare) .....  
Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale .....  
Doc. 4) 0 RIS designazione inventore .....  
Doc. 5) 0 RIS documenti di priorità con traduzione in italiano .....  
Doc. 6) 0 RIS autorizzazione o atto di cessione .....  
Doc. 7) 0 nominativo completo del richiedente

## SCIOGLIMENTO RISERVE

Data

N° Protocollo

\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
confronta singole priorità  
\_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

8) attestati di versamento, totale Euro 188,51 (centottantotto/51)

obbligatorio

COMPILATO IL 03/03/2003

FIRMA DEL(I) RICHIEDENTE(I)

p.p. STMicroelectronics s.r.l.CONTINUA SI/NO NODr. Eng. MITTLER Enrico

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SICAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO MILANOcodice 155

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2003A 000384

Reg. A.

L'anno

DUEMILATRE

il giorno

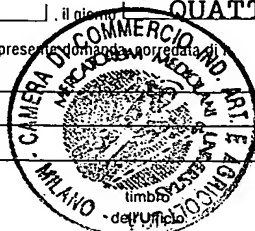
QUATTRO

del mese di

MARZO

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda (e rogata di) \_\_\_\_\_ fogli aggiuntivi per la concessione del brevetto sopraportato.

## I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE



L'UFFICIALE ROGANTE

M. CORTONESI

## RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2003A 000384

REG. A

DATA DI DEPOSITO

04/03/2003

NUMERO BREVETTO

DATA DI RILASCIO

/ / /

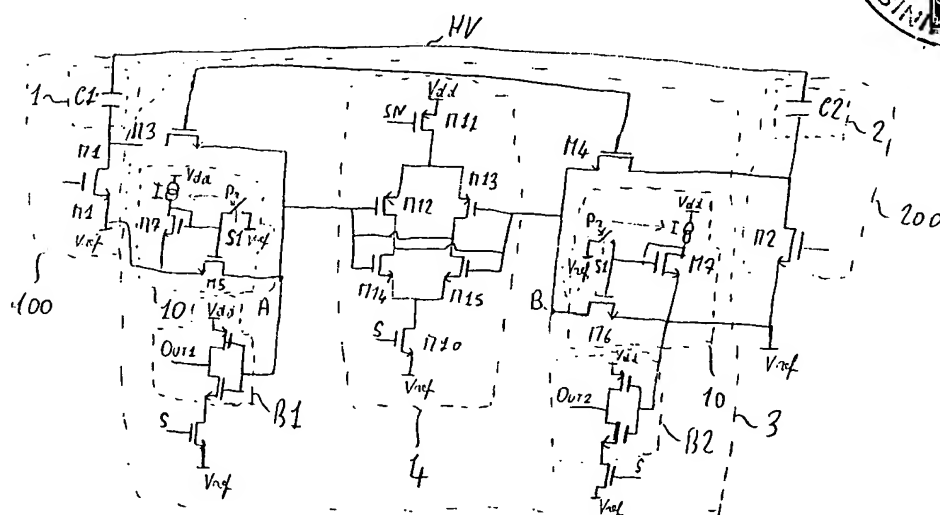
## A. TITOLO

"Dispositivo di memoria non volatile differenziale e metodo di lettura di bit di detto dispositivo di memoria."

## L. RIASSUNTO

E' descritto un dispositivo di memoria non volatile differenziale comprendente almeno una prima (1) ed una seconda (2) cella di memoria OTP accoppiate fra una tensione di alimentazione (HV) ed una tensione di riferimento (Vref) e programmate per memorizzare rispettivamente un bit di memoria ed il suo negato. La prima cella di memoria (1) ha un comportamento resistivo e la seconda cella di memoria (2) ha un comportamento capacitivo. Il dispositivo di memoria comprende un circuito di lettura (3) del bit memorizzato nelle celle di memoria (1, 2) e del suo negato. Il circuito di lettura (3) realizza un primo (11) ed un secondo (12) percorso circuitale di corrente per la lettura di detto bit e del suo negato rispettivamente fra ciascuna di dette celle di memoria (1, 2) e la tensione di riferimento (Vref). Il primo (11) e secondo (12) percorso di corrente hanno un primo (A) ed un secondo (B) nodo circuitale associati ad un primo (Out1) ed un secondo (Out2) terminale di uscita del dispositivo che comprende inoltre primi mezzi (10) attivabili per portare il primo (A) ed il secondo (B) nodo circuitale ad un valore di tensione sostanzialmente uguale alla tensione di riferimento (Vref). I primi mezzi (10) sono capaci di impostare il valore della corrente in ognuno dei percorsi (11, 12). (Fig. 2).

## M. DISEGNO



DESCRIZIONE

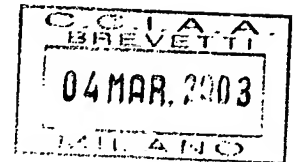
dell'invenzione industriale avente per titolo:

"Dispositivo di memoria non volatile differenziale e metodo di lettura di bit di detto dispositivo di memoria."

a nome: STMicroelectronics s.r.l.

MI 2003A 000384

\*\*\*\*



La presente invenzione concerne un dispositivo di memoria non volatile differenziale ed un metodo di lettura di bit di detto dispositivo.

Sono generalmente conosciuti dispositivi di memoria non volatile differenziali comprendenti celle di memoria di tipo OTP (One Time Programmable), cioè celle di memoria che vengono programmate una sola volta e non perdono l'informazione quando il dispositivo di memoria non viene più alimentato.

Un dispositivo di memoria siffatto è mostrato in figura 1. Detto dispositivo comprende due blocchi di memoria 100 e 200 comprendenti celle di memoria 1 e 2, formate da rispettivi condensatori C1 e C2, e transistor MOS di pilotaggio M1 e M2. Le capacità C1 e C2 sono connesse tra una tensione di alimentazione HV di alto valore ed il terminale di drain dei transistor MOS M1 e M2 aventi il terminale di source connesso ad una tensione di riferimento, generalmente massa. Durante la fase di programmazione delle celle 1 e 2 uno dei due condensatori C1 e C2 viene alterato, cioè viene applicata ai suoi terminali una differenza di potenziale elevata, fino a quando esso assume le caratteristiche di una resistenza (approccio detto "Antifuse"). In fase di programmazione la tensione di alimentazione HV è di circa 14 V e, nel caso in cui deve essere alterato il

condensatore C1, il transistor M1 viene acceso in modo che ai terminali del condensatore C1 sia applicata una differenza di potenziale di circa 14 V; il transistor MOS M2 in tal caso rimane spento.

E' possibile programmare le celle di memoria mediante un approccio "Fuse"; in tal caso al posto dei due condensatori C1 e C2 sono disposte due resistenze ed una di esse viene alterata mediante alta differenza di potenziale ai suoi capi per ottenere una capacità.

Un dispositivo di memoria avente due celle di memoria aventi una comportamento capacitivo (la cella 2 del dispositivo di figura 1) ed una comportamento resistivo (la cella 1 del dispositivo di memoria in figura 1) contiene un solo bit ed il suo negato. Alla fine della fase di programmazione entrambi i transistor M1 e M2 vengono spenti.

Durante la fase di lettura viene attivato un circuito di lettura 3 mediante un comando READ che accende contemporaneamente i transistor M3 e M4 connessi rispettivamente ai terminali di drain dei transistor M1 e M2 nei nodi C e D; la tensione di alimentazione HV assume un valore di tensione inferiore, circa 5 V.

Successivamente si ha una fase di precarica in cui i transistor M5 e M6 aventi i terminali di source connessi ai rispettivi terminali di source dei transistor M1 e M2, in tal caso connessi a massa, ed i terminali di drain connessi con i terminali di source dei transistor M3 e M4, vengono accesi mediante applicazione di un comando P sul terminale di gate. In tal modo si realizza un cammino fra l'alimentazione HV e massa. All'interno del dispositivo di memoria di figura 1 possiamo distinguere i nodi A e B dei quali il nodo A è formato dal terminale di source del transistor M3, dal terminale di

drain del transistor M5, dal terminale di ingresso di un buffer B1 e da uno dei due terminali di ingresso di un dispositivo 4 che ha un'alta impedenza sui terminali di ingresso ed è spento in detta fase di precarica; il nodo B è formato dal terminale di source del transistor M4, dal terminale di source del transistor M6, dal terminale di ingresso di un buffer B2 e dall'altro terminale di ingresso del dispositivo 4. I nodi A e B assumono la stessa tensione, cioè in tal caso la tensione di massa ed in ogni caso la tensione più bassa che viene applicata al dispositivo di memoria.

Alla fine della fase di precarica i transistor M5 e M6 vengono spenti mentre i transistor M3 e M4 rimangono accesi. I nodi A e B diventano nodi di alta impedenza e si comportano in modo diverso; poiché il condensatore C1 ha caratteristiche resistive, la tensione sul nodo A assumerà un valore sostanzialmente uguale alla tensione di alimentazione HV mentre la tensione sul nodo B sarà costante con un valore sostanzialmente uguale a massa.

Dopo un periodo di tempo necessario affinché i nodi A e B assumano valori di tensione diversi viene attivato il dispositivo 4. Detto dispositivo è un discriminatore che tende ad amplificare la differenza di tensione fra i nodi A e B.

Infine si hanno il bit 1 ed il suo negato, il bit 0, in uscita sui terminali di uscita Out1 e Out2 dei buffer invertenti B1 e B2; a seconda della convenzione scelta alla cella 1 con comportamento resistivo può essere legato il bit 1 o il suo negato.

Nella fase di precarica si ha pertanto un cammino resistivo fra alimentazione massa che determina un notevole consumo di potenza limitato solo dalle resistenze di accensione dei transistor M3 e M4 e dal valore

resistivo della cella 1 con comportamento resistivo.

Una soluzione a tale problema può essere quella di introdurre nel dispositivo di memoria di figura 1 due ulteriori resistenze per limitare il consumo di potenza; dette resistenze possono essere collegate ad esempio fra i terminali di drain dei transistor M3 e M4 ed i nodi C e D di figura 1.

Tuttavia l'utilizzo di dette resistenze aumenta il tempo di lettura dei bit ed aumenta l'occupazione di area nel chip del dispositivo di memoria; nel caso di un grande numero di bit da memorizzare l'aumento dell'occupazione di area diventa notevole.

In vista dello stato della tecnica, scopo della presente invenzione è quello di fornire un dispositivo di memoria non volatile differenziale che superi gli inconvenienti suddetti.

In accordo alla presente invenzione tale scopo viene raggiunto mediante un dispositivo di memoria non volatile differenziale comprendente almeno una prima ed una seconda cella di memoria OTP accoppiate fra una tensione di alimentazione ed una tensione di riferimento e programmate per memorizzare rispettivamente un bit di memoria ed il suo negato, detta prima cella di memoria avendo un comportamento resistivo e detta seconda cella di memoria avendo un comportamento capacitivo, un circuito di lettura del bit memorizzato in dette celle di memoria e del suo negato, detto circuito di lettura realizzando un primo ed un secondo percorso circuitale di corrente per la lettura di detto bit e del suo negato rispettivamente fra ciascuna di dette celle di memoria e la tensione di riferimento, detti primo e secondo percorso di corrente avendo un primo ed un secondo nodo circuitale associati ad un primo ed un secondo terminale di uscita del dispositivo, caratterizzato dal





fatto di comprendere primi mezzi attivabili per portare detto primo e secondo nodo circuitale ad un valore di tensione sostanzialmente uguale a detta tensione di riferimento, detti primi mezzi essendo capaci di impostare il valore di detta corrente in ognuno di detti percorsi.

In accordo alla presente invenzione è anche possibile ottenere un metodo di lettura di bit di un dispositivo di memoria come definito nella rivendicazione 6.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 è uno schema circuitale di un dispositivo di memoria non volatile differenziale secondo l'arte nota;

la figura 2 è uno schema circuitale di un dispositivo di memoria non volatile differenziale secondo la presente invenzione.

Nella figura 2 è mostrato uno schema circuitale di un dispositivo di memoria secondo la presente invenzione; i riferimenti numerici indicanti gli elementi uguali a quelli presenti nello schema circuitale di figura 1 non verranno cambiati. Il dispositivo di memoria di figura 2 comprende due blocchi di memoria 100 e 200 comprendenti celle di memoria 1 e 2, formate da rispettivi condensatori C1 e C2, e transistor MOS di pilotaggio M1 e M2. Le capacità C1 e C2 sono connesse tra una tensione di alimentazione HV di alto valore ed il terminale di drain dei transistor MOS M1 e M2 aventi il terminale di source connesso ad una tensione di riferimento Vref, generalmente massa. Durante la fase di programmazione delle celle 1 e 2 uno

dei due condensatori C1 e C2 viene alterato, cioè viene applicata ai suoi terminali una differenza di potenziale elevata, fino a quando esso assume le caratteristiche di una resistenza (approccio detto "Antifuse"). In fase di programmazione la tensione di alimentazione HV è di circa 14 V e, nel caso in cui deve essere alterato il condensatore C1, il transistor M1 viene acceso in modo che ai terminali del condensatore C1 sia applicata una differenza di potenziale di circa 14 V; il transistor MOS M2 in tal caso rimane spento.

E' possibile programmare le celle di memoria mediante un approccio "Fuse"; in tal caso al posto dei due condensatori C1 e C2 sono disposte due resistenze ed una di esse viene alterata mediante alta differenza di potenziale ai suoi capi per ottenere una capacità.

Il dispositivo di memoria di figura 2 che ha due celle di memoria aventi una comportamento capacitivo (la cella 2 del dispositivo di figura 1) ed una comportamento resistivo (la cella 1 del dispositivo di memoria in figura 1) contiene un solo bit ed il suo negato. Alla fine della fase di programmazione entrambi i transistor M1 e M2 vengono spenti.

Durante la fase di lettura viene attivato un circuito di lettura 3 mediante un comando READ che accende contemporaneamente i transistor M3 e M4 connessi rispettivamente ai terminali di drain dei transistor M1 e M2 ed alle celle 1 e 2; la tensione di alimentazione HV assume un valore di tensione inferiore, circa 5 V.

Successivamente si ha una fase di precarica in cui i transistor M5 e M6 aventi i terminali di source connessi ai rispettivi terminali di source dei transistor M1 e M2, in tal caso connessi ad una tensione di riferimento  $V_{ref}$  (generalmente massa), ed i terminali di drain connessi con i terminali di

source dei transistor M3 e M4, vengono attivati. I transistor M5 e M6 fanno parte di dispositivi 10 atti ad impostare la corrente che circola in percorsi circuitali 11 e 12 realizzati fra le celle di memoria 1 e 2, connesse alla tensione di alimentazione HV, e massa.

Ogni dispositivo 10 comprende oltre il transistor M5 o M6 inserito nel rispettivo percorso di corrente 11 e 12, anche un ulteriore transistor M7 che con il rispettivo transistor M5 o M6 forma uno specchio di corrente. Infatti il transistor M7 ha il terminale di drain connesso ad un generatore di corrente I connesso ad una tensione di alimentazione Vdd, il terminale di gate connesso al terminale di drain ed al terminale di gate del transistor M5 o M6 ed il terminale di source connesso alla tensione di riferimento Vref (generalmente massa). I dispositivi 10 consentono di imporre la corrente nei percorsi 11 e 12 in modo da diminuire il consumo di potenza dell'intero dispositivo nella fase di precarica. I dispositivi 10 devono essere attivi solo nella fase di precarica; a tale scopo essi possono comprendere interruttori S1 disposti fra i terminali di gate in comune dei transistor M5 o M6 e M7 ed alla tensione di riferimento Vref (generalmente massa). Detti interruttori S1 vengono comandati da un segnale Pr che provvede ad aprirli solo nella fase di precarica e chiuderli nelle altre fasi portando i terminali di gate dei transistor M5 o M6 e M7 a massa. Lo stesso segnale Pr provvede ad attivare il generatore di corrente I nella fase di precarica ed a spegnerlo nelle altre fasi.

All'interno del dispositivo di memoria di figura 1 possiamo distinguere i nodi A e B dei quali il nodo A è formato dai terminali di source del transistor M3, dal terminale di drain del transistor M5, dal terminale di ingresso di un buffer B1 e da uno dei due terminali di ingresso di un dispositivo 4 che ha

un'alta impedenza sui terminali di ingresso ed è spento in detta fase di precarica; il nodo B è formato dai terminali di source del transistor M4, dal terminale di drain del transistor M6, dal terminale di ingresso di un buffer B2 e dall'altro terminale di ingresso del dispositivo 4. I nodi A e B assumono sostanzialmente la stessa tensione, cioè in tal caso la tensione di massa ed in ogni caso la tensione più bassa che viene applicata al dispositivo di memoria.

Alla fine della fase di precarica, con i transistor M5 e M6 spenti, i transistor M3 e M4 rimangono accesi. I nodi A e B diventano nodi di alta impedenza e si comportano in modo diverso; poiché il condensatore C1 ha caratteristiche resistive, la tensione sul nodo A assumerà un valore sostanzialmente uguale alla tensione di alimentazione HV mentre la tensione sul nodo B sarà costante con un valore sostanzialmente uguale alla tensione di riferimento Vref (generalmente massa).

Dopo un periodo di tempo necessario affinché i nodi A e B assumano valori di tensione diversi, viene attivato il dispositivo 4. Detto dispositivo è un discriminatore che tende ad amplificare la differenza di tensione fra i nodi A e B.

Detto dispositivo 4 comprende un transistor NMOS M10 su cui agisce il segnale S ed un transistor PMOS M11 su cui agisce il segnale SN che è il segnale S negato. Il transistor M10 ha il terminale di source connesso alla tensione di riferimento Vref (generalmente massa) ed il terminale di drain connesso al terminale di source in comune di due altri transistor NMOS M14 e M15 aventi i terminali di gate connessi rispettivamente ai nodi A e B. Il transistor M11 ha il terminale di source connesso ad una tensione di alimentazione Vdd (ad esempio 5 V) ed il terminale di drain connesso al



terminale di source in comune di due altri transistor PMOS M12 e M13 aventi i terminali di gate connessi rispettivamente ai nodi A e B. I terminali di drain dei transistor M12 e M14 sono in comune e connessi al nodo B mentre i terminali di drain dei transistor M13 e M15 sono in comune e connessi al nodo A.

Con i transistor M10 e M11 attivi se, come in tal caso, la tensione sul nodo B è tale da accendere il transistor M15 e la tensione sul nodo A è tale da accendere il transistor M12, il transistor M15 provvede a mantenere il nodo A a massa ed il transistor M12 provvede ad elevare la tensione sul nodo B fino alla tensione Vdd. Se invece la tensione sul nodo A è tale da accendere il transistor M14 e la tensione sul nodo B è tale da accendere il transistor M13, il transistor M14 provvede a mantenere il nodo B a massa ed il transistor M13 provvede ad elevare la tensione sul nodo A fino alla tensione Vdd.

Infine si hanno il bit 1 ed il suo negato, il bit 0, in uscita sui terminali di uscita Out1 e Out2 dei buffer invertenti B1 e B2; a seconda della convenzione scelta alla cella 1 con comportamento resistivo può essere legato il bit 1 o il suo negato.

Preferibilmente può essere previsto un comando che disabiliti i buffer B1 e B2 durante la fase di precarica e li abiliti durante la fase di attivazione del dispositivo 4; tale comando può coincidere con il comando S del dispositivo 4. In figura 2 i buffer invertenti B1 e B2 vengono rappresentati da due inverter formati ciascuno da una coppia di transistor MOS, uno NMOS ed uno PMOS; un altro transistor NMOS comandato dal segnale S consente l'attivazione o la disattivazione di ogni buffer.

## RIVENDICAZIONI

1. Dispositivo di memoria non volatile differenziale comprendente almeno una prima (1) ed una seconda (2) cella di memoria OTP accoppiate fra una tensione di alimentazione (HV) ed una tensione di riferimento ( $V_{ref}$ ) e programmate per memorizzare rispettivamente un bit di memoria ed il suo negato, detta prima cella di memoria (1) avendo un comportamento resistivo e detta seconda cella di memoria (2) avendo un comportamento capacitivo, un circuito di lettura (3) del bit memorizzato in dette celle di memoria (1, 2) e del suo negato, detto circuito di lettura (3) realizzando un primo (11) ed un secondo (12) percorso circuitale di corrente per la lettura di detto bit e del suo negato rispettivamente fra ciascuna di dette celle di memoria (1, 2) e la tensione di riferimento ( $V_{ref}$ ), detti primo (11) e secondo (12) percorso di corrente avendo un primo (A) ed un secondo (B) nodo circuitale associati ad un primo (Out1) ed un secondo (Out2) terminale di uscita del dispositivo, caratterizzato dal fatto di comprendere primi mezzi (10) attivabili per portare detto primo (A) e secondo (B) nodo circuitale ad un valore di tensione sostanzialmente uguale a detta tensione di riferimento ( $V_{ref}$ ), detti primi mezzi (10) essendo capaci di impostare il valore di detta corrente in ognuno di detti percorsi (11, 12).

2. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che detti primi mezzi (10) comprendono uno specchio di corrente comprendente un riferimento di corrente (I), almeno un primo transistor (M7) connesso con detto riferimento di corrente (I) ed almeno due secondi transistor (M5, M6) inseriti ciascuno in detti primo (11) e secondo (12) percorso di corrente.

3. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto di

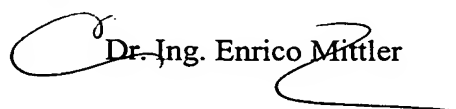
comprendere un primo (B1) ed un secondo (B2) buffer interposti rispettivamente fra detto primo (A) e secondo (B) nodo circuitale e detto primo (Out1) e secondo (Out2) terminale di uscita.

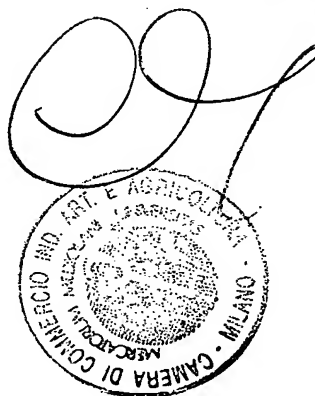
4. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto di comprendere mezzi circuitali (4) atti ad amplificare la differenza dei valori di tensione di detti primo (A) e secondo (B) nodo circuitale dopo la disattivazione di detti primi mezzi (10).

5. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che detta tensione di riferimento ( $V_{ref}$ ) coincide con la tensione di massa.

6. Metodo per la lettura di bit di un dispositivo di memoria non volatile differenziale comprendente almeno una prima (1) ed una seconda (2) cella di memoria OTP accoppiate fra una tensione di alimentazione (HV) ed una tensione di riferimento ( $V_{ref}$ ) e programmate in modo da memorizzare un bit di memoria ed il suo negato, detta prima cella di memoria (1) avendo un comportamento resistivo e detta seconda cella di memoria (2) avendo un comportamento capacitivo, un circuito di lettura (3) del bit memorizzato in dette celle di memoria (1, 2) e del suo negato, detto circuito di lettura (11) realizzando un primo (11) ed un secondo (12) percorso di corrente per la lettura di detto bit e del suo negato rispettivamente fra ciascuna di dette celle di memoria (1, 2) e la tensione di riferimento ( $V_{ref}$ ), detto primo (11) e secondo (12) percorso di corrente avendo un primo (A) ed un secondo (B) nodo circuitale associati ad un primo (Out1) ed un secondo (Out2) terminale di uscita del dispositivo, detto metodo comprendendo una prima fase di precarica per portare detti primo (A) e secondo (B) nodo circuitale ad un valore di tensione sostanzialmente uguale alla tensione di riferimento ( $V_{ref}$ ),

una seconda fase per portare uno fra il primo (A) ed il secondo (B) nodo circuitale ad un valore sostanzialmente uguale alla tensione di alimentazione (HV) e mantenere l'altro ad un valore di tensione sostanzialmente uguale alla tensione di riferimento ( $V_{ref}$ ), caratterizzato dal fatto che detta fase di precarica comprende una fase di impostazione della corrente che fluisce in detto primo (11) e secondo (12) percorso mediante attivazione di mezzi di controllo (10) della corrente in detti percorsi (11, 12).

 Dr. Ing. Enrico Mittler





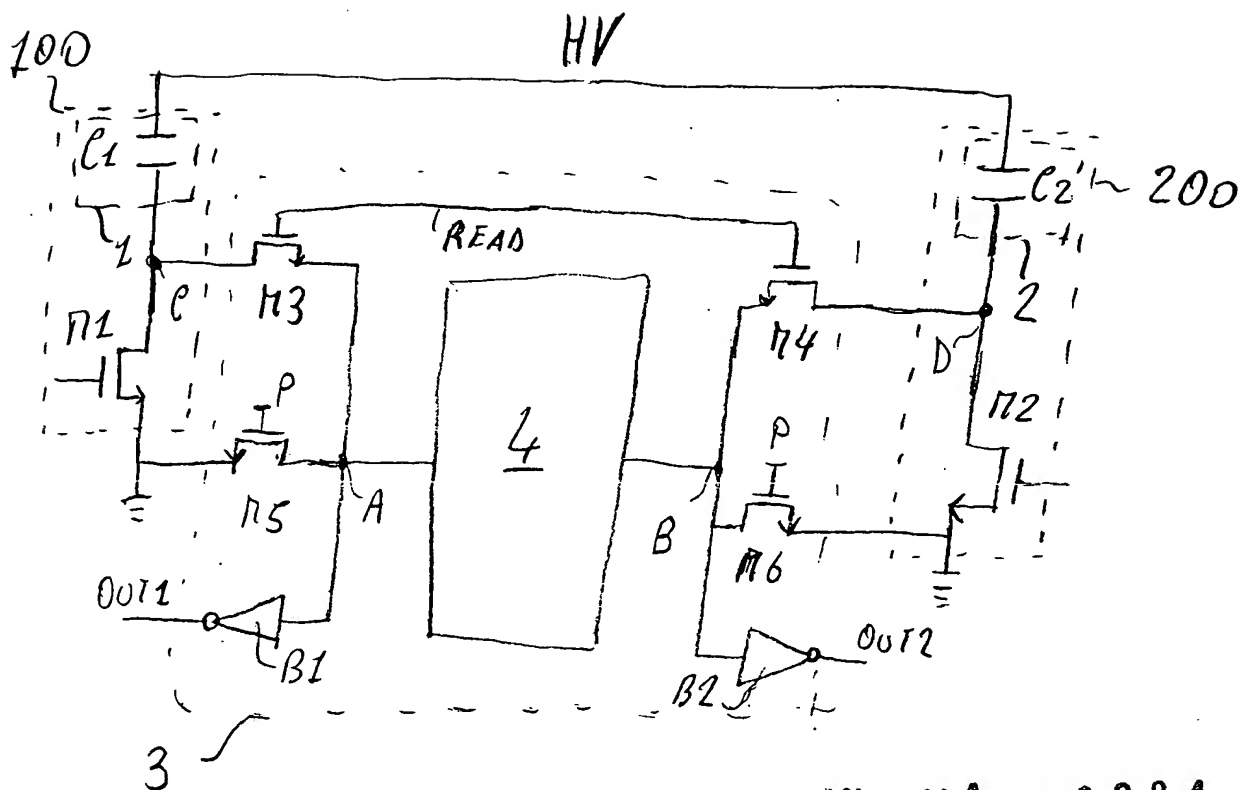
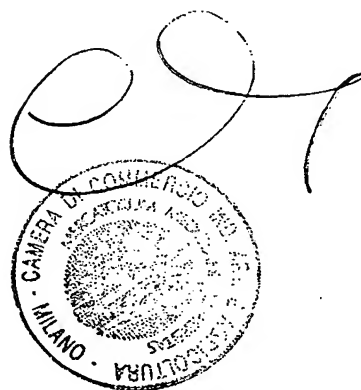
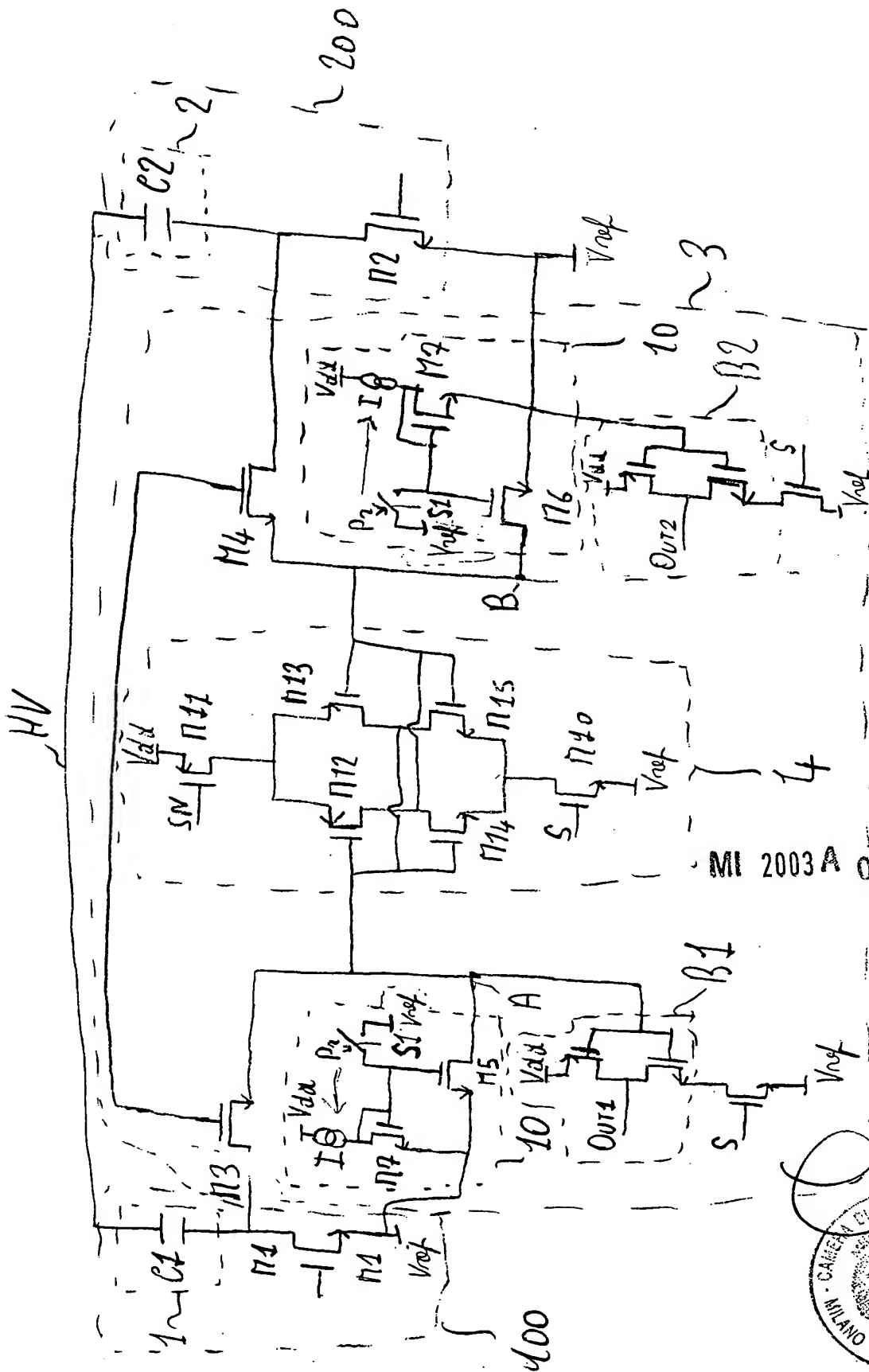


FIG 1

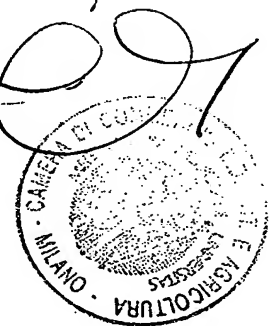
MI 2003A 000384



Dr. Ing. Enrico MITTLER

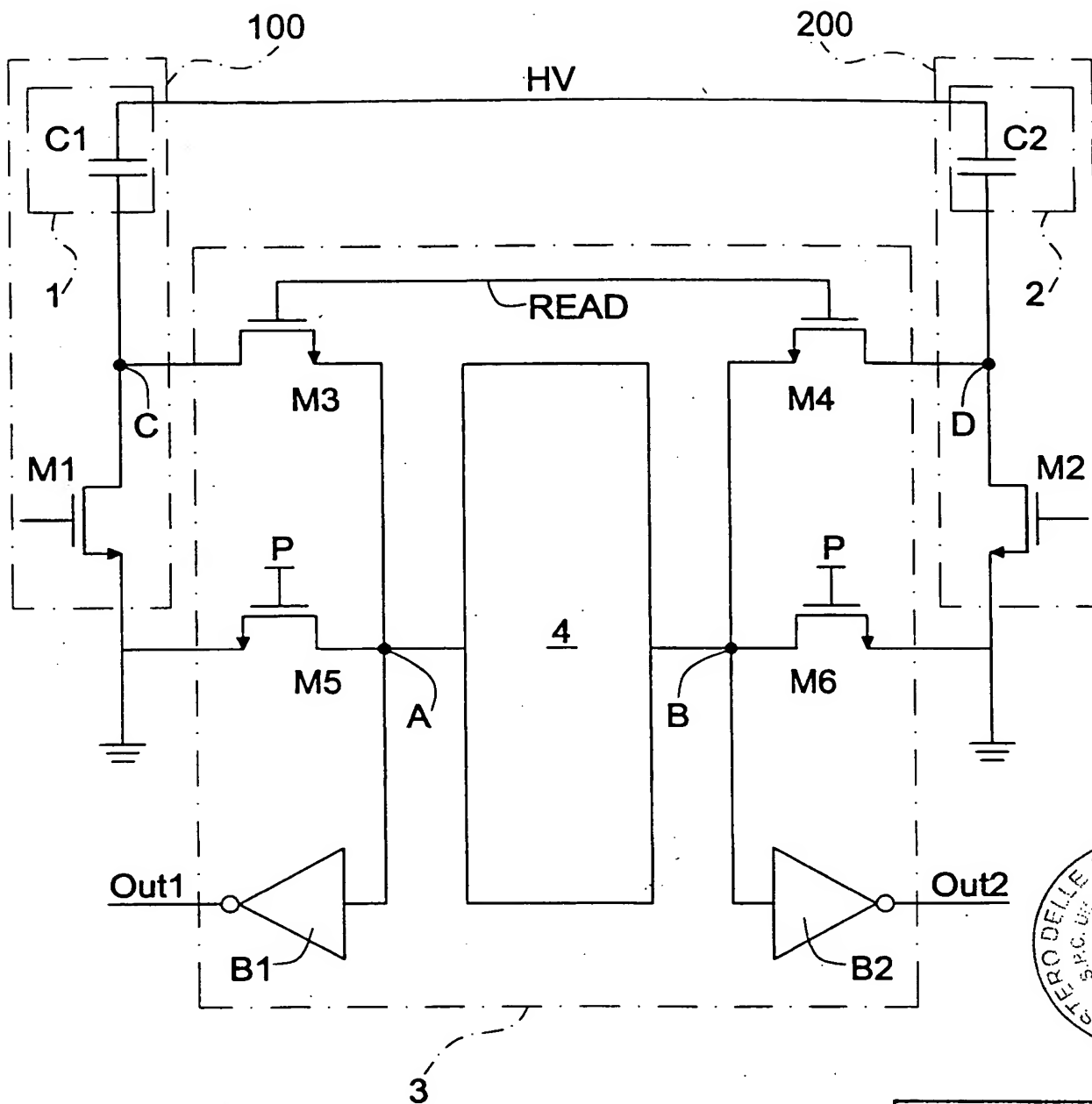


MI 2003A 000384



F/22

Dr. Ing. Enrico MITTLER



BREV. MI - R  
000906

Fig.1

**Dr. Ing. Enrico MITTLER**

BREV. MI - R  
000906

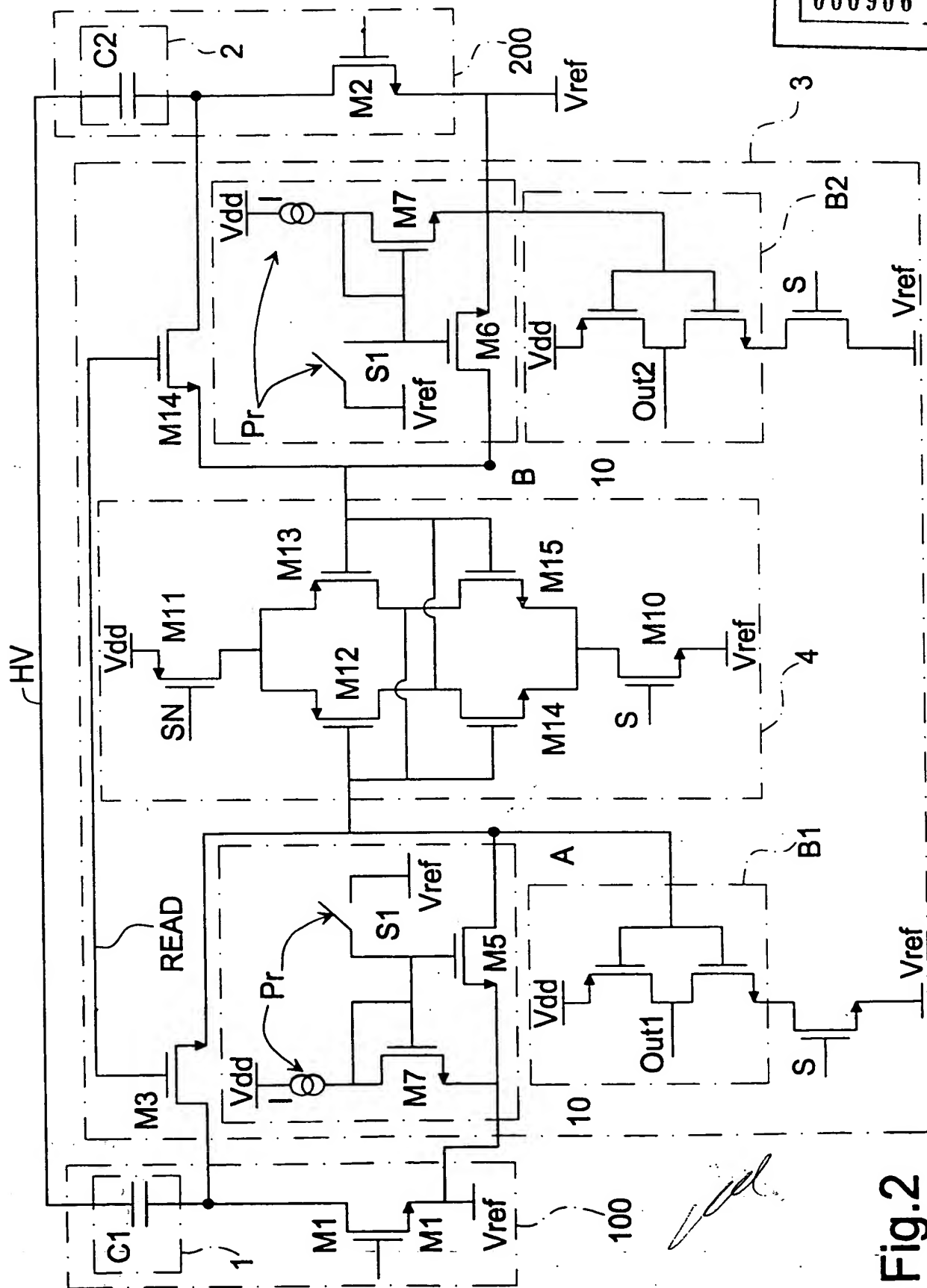


Fig. 2